

(19)世界知的所有権機関
国際事務局(43)国際公開日
2005年8月25日 (25.08.2005)

PCT

(10)国際公開番号
WO 2005/078787 A1

(51)国際特許分類: H01L 21/336, 21/316, 29/786 (72)発明者; および
 (21)国際出願番号: PCT/JP2005/002352 (75)発明者/出願人(米国についてのみ): 今井繁規 (IMAI, Shigeki). 猪口和彦 (INOGUCHI, Kazuhiko).

(22)国際出願日: 2005年2月16日 (16.02.2005) (74)代理人: 特許業務法人原謙三國際特許事務所 (HARAKENZO WORLD PATENT & TRADE-MARK); 〒5300041 大阪府大阪市北区天神橋2丁目北2番6号 大和南森町ビル Osaka (JP).

(25)国際出願の言語: 日本語 (81)指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(26)国際公開の言語: 日本語

(30)優先権データ:
 特願2004-038888 2004年2月16日 (16.02.2004) JP
 特願2004-093703 2004年3月26日 (26.03.2004) JP
 特願2004-093695 2004年3月26日 (26.03.2004) JP

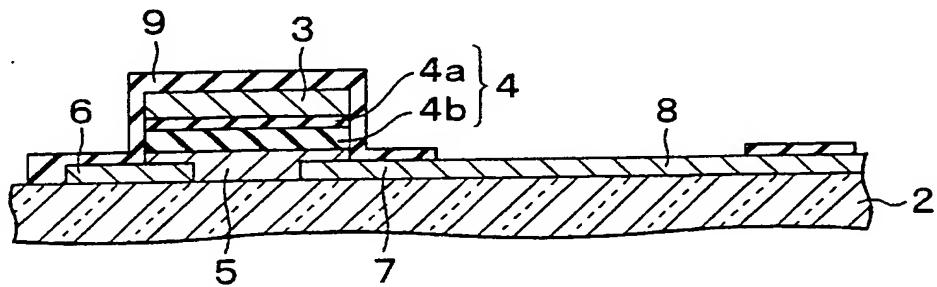
(71)出願人(米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町22番22号 Osaka (JP).

(71)出願人および
 (72)発明者: 小林光 (KOBAYASHI, Hikaru).

〔続葉有〕

(54) Title: THIN FILM TRANSISTOR AND MANUFACTURING METHOD THEREOF, DISPLAY APPARATUS, METHOD FOR MODIFYING OXIDE FILM, METHOD FOR FORMING OXIDE FILM, SEMICONDUCTOR DEVICE, METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE AND EQUIPMENT FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54)発明の名称: 薄膜トランジスタとその製造方法、表示装置、酸化膜の改質方法、酸化膜の形成方法、半導体装置、半導体装置の製造方法、および半導体装置の製造装置



WO 2005/078787 A1

(57) Abstract: In a method for manufacturing a thin film transistor (1), an oxide film forming process is performed. In the oxide film forming process, a substrate (2) to be processed, on which the gate oxide film (4) is to be formed on a front plane, is impregnated with an oxidizing solution including an active oxidation seed to directly oxidize polysilicon (51) on the substrate (2), and the gate oxide film (4) is formed. Thus, a silicon dioxide film (42) is formed by growing a silicon dioxide film (41) in a direction of the substrate (2). Thus, an interface between the polysilicon (51) and the gate oxide film (4) is kept clean and the high-quality gate oxide film (4) having excellent dielectric breakdown strength can be uniformly formed. Therefore, the thin film transistor (1) having excellent dielectric breakdown strength can be formed at a low temperature with a high-quality oxide film provided thereon.

(57)要約: 薄膜トランジスタ(1)の製造方法において、表面にゲート酸化膜(4)を形成すべき被処理基板(2)を、活性酸化種を含む酸化性溶液に浸漬し、被処理基板(2)上の多結晶シリコン(51)を直接酸化することによりゲート酸化膜(4)を形成する酸化膜形成工程を行うことによって、二酸化シリコン膜(41)を被処理基板(2)方向に成長させながら二酸化シリコン膜(42)を形成する。これにより、多結晶シリコン(51)と被処理基板(2)方向に成長させながら二酸化シリコン膜(42)を形成する。これにより、多結晶シリコン(51)とゲート酸化膜(4)との界面を清浄に保つことができ、絶縁耐性等に優れた高品質なゲート酸化膜(4)を均一に形成できる。それゆえ、絶縁耐性等に優れ、低温で形成可能であり、高品質な酸化膜を備えた薄膜トランジスタ(1)を提供することができる。



(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:
— 國際調査報告書